

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomohiro UEDA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: ELECTRONIC APPARATUS AND METHOD FOR CONTROLLING SEMICONDUCTOR  
INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-112325	April 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Bradley D. Lytle

Registration No. 40,073

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

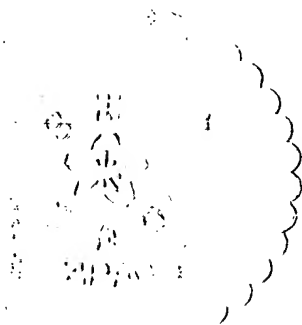
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 1 7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 1 2 3 2 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 1 2 3 2 5 ]

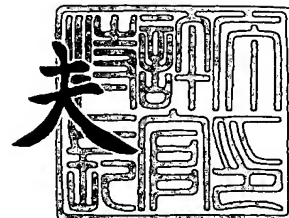
出   願   人            ソニー株式会社  
Applicant(s):



2 0 0 4 年   1 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 0290861502

【提出日】 平成15年 4月17日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 上田 倫大

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082762

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【選任した代理人】

【識別番号】 100120640

【弁理士】

【氏名又は名称】 森 幸一

【手数料の表示】

【予納台帳番号】 043812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0201252



【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 電子機器および半導体集積回路の制御方法

【特許請求の範囲】

【請求項 1】 通常動作状態とスタンバイ状態とを有する第 1 の回路および第 2 の回路を内蔵する半導体集積回路を備えた電子機器であって、

通常動作状態において上記第 1 および第 2 の回路に対して電源を供給し、スタンバイ状態において上記第 1 の回路にのみ電源を供給するように電源供給を制御する電源制御手段と、

通常動作状態において第 1 および第 2 のクロックを発生し、スタンバイ状態において第 1 のクロックのみ発生するようにクロック発生を制御するクロック制御手段と、

上記第 1 の回路に内蔵され、上記第 1 のクロックによって動作する第 1 のレジスタと、

上記第 1 の回路に内蔵され、上記第 2 のクロックによって動作する第 2 のレジスタと、

スタンバイ状態から通常動作状態に変化する時に、上記第 1 のレジスタにセットされた内容を上記第 2 のレジスタにコピーする制御手段とを有することを特徴とする電子機器。

【請求項 2】 請求項 1 の電子機器において、

上記第 1 のクロックの周波数が上記第 2 のクロックの周波数より低いものとされた電子機器。

【請求項 3】 請求項 1 の電子機器において、

通常動作状態では、上記第 1 のレジスタを介さずにデータが上記第 2 のレジスタにセットされる電子機器。

【請求項 4】 請求項 1 の電子機器において、

上記第 2 のレジスタの内容が上記第 2 の回路に含まれる CPU によってリードされる電子機器。

【請求項 5】 請求項 1 の電子機器において、

上記第 1 のレジスタには、半導体集積回路に対して外付けされた入力装置から

のイベントの情報がセットされる電子機器。

【請求項 6】 請求項 1 の電子機器において、  
バッテリーを電源とする電子機器。

【請求項 7】 請求項 1 の電子機器において、  
上記第 1 のレジスタにセットされた内容を、上記第 1 のクロックの 1 周期で並列的に上記第 2 のレジスタにコピーする電子機器。

【請求項 8】 通常動作状態とスタンバイ状態とを有する第 1 の回路および第 2 の回路を内蔵する半導体集積回路の制御方法であって、

通常動作状態において上記第 1 および第 2 の回路に対して電源を供給し、スタンバイ状態において上記第 1 の回路にのみ電源を供給するように電源供給を制御する電源制御ステップと、

通常動作状態において第 1 および第 2 のクロックを発生し、スタンバイ状態において第 1 のクロックのみ発生するようにクロック発生を制御するクロック制御ステップと、

スタンバイ状態から通常動作状態に変化する時に、上記第 1 の回路に内蔵され、上記第 1 のクロックによって動作する第 1 のレジスタにセットされた内容を、上記第 1 の回路に内蔵され、上記第 2 のクロックによって動作する第 2 のレジスタにコピーするステップとを有することを特徴とする半導体集積回路の制御方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、例えばバッテリー電源で駆動される電子機器および半導体集積回路の制御方法、特に、消費電力の低減のための構成および方法に関する。

##### 【0002】

#### 【従来の技術】

携帯電話、PDA(Personal Digital Assistants)、可搬型コンピュータ等の携帯機器は、バッテリーを電源としているのが普通である。バッテリー駆動型システムは、システムLSI(Large Scale Integrated Circuit：大規模集積回路)、

バッテリ、電源制御 IC (Integrated Circuit : 集積回路) 等で構成される。システム LSI とは、CPU、メモリ、各種周辺機能ブロックを 1 つのチップに集積化した LSI である。最近では、携帯機器の機能として通話機能のみならず、マルチメディアの通信および処理機能等も備えられ、システム LSI の微細化が進んでいる。例えば  $0.3\ \mu\text{m}$  以下の微細化がされるようになっている。

#### 【0003】

携帯電話等のバッテリ駆動型の可搬型電子機器では、消費電力が待ち受け時間の長さを規定するので、消費電力の低減が重要である。例えば下記の特許文献 1 には、電源電圧の降下を制御すると共に、システム LSI を常時電源オンしたまま、内部回路例えば CPU に対するクロックの供給を停止し、スタンバイ状態にしてスタンバイ時の消費電力を低減する方法が開示されている。

#### 【0004】

##### 【特許文献 1】

特開 2002-170933 号公報

#### 【0005】

##### 【発明が解決しようとする課題】

特許文献 1 に記載の方法は、CPU のようなスタンバイ時には不要な回路に対するクロックの供給を停止しているが、システムバスのクロックが動作状態にあるために、スタンバイ電流が多くなり、スタンバイ時の消費電力が多くなる問題があった。システムバスのクロックは、スタンバイ時に動作が必要な回路に対して供給される。例えば外部の操作部からのキーの操作のようなイベントが発生した時には、スタンバイ状態から起動（以下、ウェイクアップと適宜称する）する必要がある、周辺機器からのイベントを受け付けたり、イベントの種類を保持するようなレジスタに対しては、クロックの供給を停止することができない。例えばイベントを保持するレジスタに対するクロックの供給を停止すると、レジスタに対してのデータの書き込みができなくなり、ウェイクアップの要因を CPU が分からなくなり、正常にウェイクアップができなくなる。

#### 【0006】

したがって、この発明の目的は、イベントの情報を保持するためのレジスタに

対するシステムバスクロックの供給を停止することによって、スタンバイ時の消費電力を削減することが可能な電子機器および半導体集積回路の制御方法を提供することにある。

#### 【0007】

##### 【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、通常動作状態とスタンバイ状態とを有する第1の回路および第2の回路を内蔵する半導体集積回路を備えた電子機器であって、

通常動作状態において第1および第2の回路に対して電源を供給し、スタンバイ状態において第1の回路にのみ電源を供給するように電源供給を制御する電源制御手段と、

通常動作状態において第1および第2のクロックを発生し、スタンバイ状態において第1のクロックのみ発生するようにクロック発生を制御するクロック制御手段と、

第1の回路に内蔵され、第1のクロックによって動作する第1のレジスタと、  
第1の回路に内蔵され、第2のクロックによって動作する第2のレジスタと、  
スタンバイ状態から通常動作状態に変化する時に、第1のレジスタにセットされた内容を第2のレジスタにコピーする制御手段とを有することを特徴とする電子機器である。

#### 【0008】

請求項8の発明は、通常動作状態とスタンバイ状態とを有する第1の回路および第2の回路を内蔵する半導体集積回路の制御方法であって、

通常動作状態において第1および第2の回路に対して電源を供給し、スタンバイ状態において第1の回路にのみ電源を供給するように電源供給を制御する電源制御ステップと、

通常動作状態において第1および第2のクロックを発生し、スタンバイ状態において第1のクロックのみ発生するようにクロック発生を制御するクロック制御ステップと、

スタンバイ状態から通常動作状態に変化する時に、第1の回路に内蔵され、第



1のクロックによって動作する第1のレジスタにセットされた内容を、第1の回路に内蔵され、第2のクロックによって動作する第2のレジスタにコピーするステップとを有することを特徴とする半導体集積回路の制御方法である。

#### 【0009】

電源制御手段によって、スタンバイ状態では、集積回路の大きな領域を占めるメイン回路の電源をオフとするので、スタンバイ状態におけるサブスレッショルドリーク電流を削減でき、スタンバイ状態における消費電力を削減できる。また、スタンバイ状態では、第1のレジスタに保存した状態を第2のレジスタにコピーするので、CPUによってリードされるレジスタに対する第2のクロックの供給も停止することができ、消費電力をより削減できる。

#### 【0010】

##### 【発明の実施の形態】

以下、この発明の一実施形態について図面を参照して説明する。図1は、一実施形態の全体の構成を示す。参照符号1は、PDA、携帯電話等のバッテリー駆動型システムを全体として示す。参照符号2は、システム1を制御するシステムLSI（例えばMOSLSI）を示す。参照符号3は、システムLSI2に対して電源を供給するレギュレータを有する電源制御回路を示し、参照符号4がバッテリーを示す。

#### 【0011】

システムLSI2は、第1の回路としてのスタンバイ制御回路21と、第2の回路としてのメイン回路22と、e (embedded) DRAM (Dynamic Random Access Memory) 23とを有している。システムLSI2の各回路ブロックは、電源制御回路3から3つの独立した電源ラインL21、L22およびL23を介して電源の供給を受けている。

#### 【0012】

バッテリー4から電源制御回路4に対する電源ラインL11は、スタンバイ制御回路21に対する電源供給ラインで、ラインL11およびL21の間の電源制御回路3内にレギュレータが接続されている。電源ラインL12は、メイン回路22に対する電源供給ラインで、ラインL12およびL22の間の電源制御回路3

内にレギュレータが接続されている。電源ライン L13 は、eDRAM23 に対する電源供給ラインで、ライン L13 および L23 の間の電源制御回路 3 内にレギュレータが接続されている。さらに、バッテリー 4 からの電源供給ライン L0 は、電源制御回路 3 内の制御回路に対する電源供給ラインである。電源制御回路 3 内の各レギュレータは、バッテリー 4 の出力電圧を各回路部分に適合した所定レベルの安定化した電圧を出力する。

#### 【0013】

スタンバイ制御回路 21 は、電源制御回路 3 から常時電源を供給されるブロックである。メイン回路 22 は、スタンバイ状態（以下、スタンバイモードと表記する）時に電源がオフするブロックである。データバックアップのために eDRAM23 を使用する場合にのみ、eDRAM23 に電源が供給される。例えばスタンバイモードに入る前のプログラムデータを eDRAM23 にバックアップすることができる。スタンバイモード時に、eDRAM23 の電源がオフとされる場合には、システム LSI2 のスタンバイ制御回路 21 に対してのみ電源制御回路 3 から電源が供給される。

#### 【0014】

システム LSI2 の各回路ブロックに対する電源供給の制御は、電源制御回路 3 内のレギュレータ制御回路が発生する制御信号によってなされる。制御信号に応じて電源ライン L22 および L23 上に発生する電源がオン／オフされる。さらに、ライン L4 を介して電源 IC 制御信号がスタンバイ制御回路 21 から電源制御回路 3 に対して伝送される。

#### 【0015】

図 1 において、参照符号 5 は、システム 1 に内蔵され、プログラムが記憶されている不揮発性メモリを示し、参照符号 6 は、表示部としての LCD (Liquid Crystal Display) を示す。参照符号 7 は、ユーザが操作するキー等の操作部を示し、参照符号 8 が外部入力を示す。外部入力 8 は、複数の I/O ポートを含んでいる。メイン回路 22 には、CPU (Central Processing Unit) が含まれている。

#### 【0016】

バッテリー駆動型システム 1 において、プログラム上で CPU が処理するタスクがなくなると、通常動作状態（以下、ノーマルモードと表記する）からスタンバイモードに入る。そして、操作部 7 から操作入力が発生したり、外部入力 8 に入力が発生すると、スタンバイ制御回路 21 がウェイクアップに必要な処理を行い、メイン回路 22 およびデータバックアップ用の eDRAM 23 に対して電源を供給するように指示する電源 IC 制御信号がライン L4 を介して電源制御回路 3 に供給される。そして、メイン回路 22 は、ライン L2・2 を通じて電源が供給されると、不揮発性メモリ 5 からプログラムを読み込み、初期化を実行する。

#### 【0017】

図 2 は、上述した図 1 に示す一実施形態のシステム LSI 2 のスタンバイ制御回路 21 およびメイン回路 22 の部分の概略的な構成を示す。実際には、スタンバイ制御回路 21 に比してメイン回路 22 の回路規模は、はるかに大きい。メイン回路 22 の内で、この発明の特徴と関連する構成部分のみが図 2 に示されている。図 2 では、eDRAM 23 および電源制御に関連する構成については、省略されている。

#### 【0018】

スタンバイ制御回路 21 は、大きく 2 つに分かれており、周辺ブロック 30 およびコントロールブロック 40 から構成される。周辺ブロック 30 は、システム LSI 2 に対して外付けされている外部回路 9 からのイベント信号 s0 を処理するインターフェースとしての機能を有する。

#### 【0019】

図 2 において、上述した操作部 7 および外部入力 8 が外部回路 9 内に含まれる。周辺ブロック 30 の第 2 のレジスタとしてのシステム LSI バスインターフェースレジスタ（以下、バス IF レジスタと適宜表記する）31 とメイン回路 22 の CPU 60 との間にシステム LSI バス（所定ビット幅）が設けられており、周辺ブロック 30 が CPU 60 がプログラムを実行しているノーマルモードにおいて、CPU 60 の周辺回路として動作する。

#### 【0020】

外部回路 9 は、例えば入力装置であり、入力装置の具体例は、JOG/KEY

インターフェース、G P I O (General Purpose Input Output:汎用入出力ポート)、リアルタイムクロック回路、S P I (Serial Parallel Interface)、U A R T (Universal Asynchronous Receiver-Transceiver:非同期シリアル通信用送受信回路)、タッチパネル、無線インターフェース、U S B (Universal Serial Bus)等である。J O Gは、回転するローラとローラを押し込むことが可能な入力装置である。J O Gの場合では、ローラが回転したことを示す信号、回転方向および回転量をそれぞれ示す信号が発生する。K E Yの場合にはキーが押されたことを示す信号と操作されたキーの種類が発生する。タッチパネル場合では、タッチされたことを示す信号と座標データが発生する。外部回路 9 からは、入力装置の操作に対応したイベント信号 s 0 がスタンバイ制御回路 2 1 に供給される。

#### 【 0 0 2 1 】

スタンバイ制御回路 2 1 は、クロック発振器 1 0 および 2 0 を有している。クロック発振器 1 0 は、例えば 3 2 . 7 6 8 kHz の第 1 のクロック（ローカルクロックと称する）s 1 を生成し、クロック発振器 2 0 は、例えば 7 . 6 8 MHz のシステムクロック s 2 を生成する。周波数が比較的低いローカルクロック s 1 を生成するクロック発振器 1 0 は、スタンバイモード時およびノーマルモード時の何れにおいても常に発振し、スタンバイ制御回路 2 1 内の周辺ブロック 3 0 およびシステム L S I 制御用のコントロールブロック 4 0 に対してシステムクロック s 2 を供給する。

#### 【 0 0 2 2 】

クロック発振器 2 0 からのシステムクロック s 2 がメイン回路 2 2 内の P L L (Phase Locked Loop) 5 0 に供給される。P L L 5 0 は、クロック発振器 2 0 から供給されるシステムクロック s 2 を逡倍し、システム L S I 2 の動作に必要で、ローカルクロック s 1 より高い周波数例えば 3 2 MHz の周波数の第 2 のクロック（システムバスクロックと称する）s 3 を生成する。システムバスクロック s 3 は、システム L S I バスのクロックであり、メイン回路 2 2 および周辺ブロック 3 0 に供給される。また、コントロールブロック 4 0 のクロック制御により、スタンバイモードでは、P L L がディセーブルされ、システムバスクロック s 3 の生成が停止される。また、コントロールブロック 4 0 のクロック制御により、

メイン回路 2 2 に対する電源がオフからオンする時に、P L L 5 0 がイネーブルされるようになっている。システムバスクロック s 3 がメイン回路 2 2 内の各回路ブロックに供給されると共に、スタンバイ制御回路 2 1 内の周辺ブロック 3 0 に供給される。スタンバイモードにおいて、システムクロック s 2 が不要な場合では、クロック発振器 2 0 のオン／オフを制御してシステムバスクロック s 3 の生成を制御しても良い。

#### 【 0 0 2 3 】

周辺ブロック 3 0 に対しては、ローカルクロック s 1 とシステムバスクロック s 3 の両方が供給されている。C P U 6 0 がシステム L S I バスを介してリード／ライトするバス I F レジスタ 3 1 は、システムバスクロック s 3 で動作し、周辺ブロック 3 0 の他の回路（機能）は、ローカルクロック s 1 で動作するようになされている。

#### 【 0 0 2 4 】

コントロールブロック 4 0 は、ローカルクロック s 1 によって動作する。コントロールブロック 4 0 は、システム L S I 2 の電源制御と、リセット制御と、クロック制御とを行い、スタンバイモード、ノーマルモードといったシステム 1 の状態を管理する。制御のためのコントロール信号の一部の経路の図示は、簡単のため省略されている。なお、e D R A M 2 3 に関連する構成は、クロック s 2 で動作するようになされている。

#### 【 0 0 2 5 】

周辺ブロック 3 0 からコントロールブロック 4 0 に対してウェイクアップ要求 s 2 0 が供給され、コントロールブロック 4 0 からは、ウェイクアップ要求を受け付けたことを示すウェイクアップ A C K (acknowledge) s 2 1 が送出される。さらに、コントロールブロック 4 0 から周辺ブロック 3 0 に対してシステム L S I モード信号 s 2 2 が供給される。

#### 【 0 0 2 6 】

コントロールブロック 4 0 が P L L 5 0 を制御する。コントロールブロック 4 0 によって、スタンバイモード時に P L L 5 0 がディセーブルされ、また、スタンバイモード時に e D R A M 2 3 にデータをバックアップしない場合には、クロ

ック発振器 20 を停止するようなクロック制御がなされる。また、システム L S I 2 がスタンバイモードになった場合に、コントロールブロック 40 は、メイン回路 22 の電源をオフする。

#### 【0027】

そして、コントロールブロック 40 は、スタンバイモード中では、周辺ブロック 30 からウェイクアップ要求が発生した場合に、まず、メイン回路 22 の電源をオンし、リセットをアクティブにして P L L 50 をオンし、システム L S I 2 のシステムバスクロック s 3 をオンするような一連の動作を制御する。また、コントロールブロック 40 は、メイン回路 22 に電源が供給されたときに、メイン回路 22 のリセットを行い、また、バッテリーが無くなった状態からバッテリーが挿入された時に、メイン回路 22、スタンバイ制御回路 21 の周辺ブロック 30 およびコントロールブロック 40 内の制御回路等に対するリセットを行う。

#### 【0028】

バス I F レジスタ 31 内には、C P U 60 がリードライト可能な複数のレジスタが設けられ、その一つのレジスタがイベントが発生したことによる状態の変化のデータを保持するためのレジスタとされている。このレジスタは、所定ビット長のものであり、スタンバイモード時においては、電源がオフされていないが、システムバスクロック s 3 がオフとされるために、データをリード／ライトすることができないものである。したがって、後述するように、一実施形態では、スタンバイモードでも低速のローカルクロックによってリード／ライト可能なシャドウレジスタが設けられ、ウェイクアップ時にシャドウレジスタの内容をレジスタ（バス I F レジスタと称する）にコピーするようになされている。

#### 【0029】

メイン回路 22 は、P L L 50、C P U 60、割り込み制御回路 70 等から構成される。メイン回路 22 内には、L C D 6 の制御回路等の多くの回路が含まれているが、この発明の特徴と関係が少ない回路ブロックの図示と説明が省略されている。C P U 60 は、不揮発性メモリ 5 に格納されているプログラムを実行し、L C D 6 への表示、操作部 7 からの入力および外部入力 8 からの入力の処理を行う。また、C P U 60 は、割り込み制御回路 70 からの割り込みを受付けて割

り込み処理を行う。CPU60と接続されたシステムLSIバスには、バスIFレジスタ31以外に、不揮発性メモリ5、LCD6、eDRAM23、割り込み制御回路70等が接続されている。

#### 【0030】

また、ノーマルモードでは、周辺ブロック30のバスIFレジスタ31が高い周波数のシステムバスクロックs3で動作し、CPU60がバスIFレジスタ31に対してリード／ライト動作を行うので、システムが速い速度で動作することができる。さらに、バスIFレジスタ31からメイン回路22の割り込み回路70に対して割り込み信号を供給し、CPU60に対して割り込みを通知することが可能とされている。

#### 【0031】

さらに、システムバスクロックs3が停止したスタンバイモードにおいても、スタンバイ制御回路21のバスIFレジスタ31以外の回路が動作可能とされており、スタンバイモードでキーが操作される等のウェイクアップ要因が発生すると、周辺ブロック30からコントロールブロック40に対してウェイクアップ要求s20が供給される。

#### 【0032】

コントロールブロック40は、電源制御回路を制御し、電源IC制御信号を電源制御回路3に供給することによって、メイン回路22に電源を供給する。その後、クロック発振器20を発振させ、PLL50をイネーブルにしてシステムバスクロックs3が安定すると、ウェイクアップACKを周辺ブロック30に供給する。

#### 【0033】

図3を参照して、周辺ブロック30についてより詳細に説明する。周辺ブロック30は、ペリフェラルスペシフィックファンクション32、ウェイクアップコントロールファンクション33およびLSIバスインターフェースファンクション（LSIバスIFファンクションと表記する）34から構成されている。

#### 【0034】

ペリフェラルスペシフィックファンクション32は、外部回路9からのイベン

ト信号 s 0 を受け取るように、外部回路 9 に特化した回路構成とされ、ローカルクロック s 1 で動作する。ペリフェラルスペシフィックファンクション 3 2 は、レジスタセットデータ s 1 1 0 およびデータ s 1 1 0 を取り込むタイミングを規定するレジスタ更新信号 s 1 1 1 を出力する。

#### 【0035】

ウェイクアップコントロールファンクション 3 3 は、スタンバイモードからノーマルモードに変化する時に、シャドウレジスタ 3 5 にセットされた内容をバス I F レジスタ 3 1 にコピーする制御手段を構成する。ウェイクアップコントロールファンクション 3 3 は、ローカルクロック s 1 で動作し、第 1 のレジスタとしてのシャドウレジスタ 3 5、ウェイクアップコントロールロジック 3 6、セレクト 3 7 およびオアゲート 3 8 から構成されている。ペリフェラルスペシフィックファンクション 3 2 からのレジスタセットデータ s 1 1 0 がシャドウレジスタ 3 5 およびセレクト 3 7 の一方の入力に供給される。ペリフェラルスペシフィックファンクション 3 0 からのレジスタ更新信号 s 1 1 1 がオアゲート 3 8 の一方の入力に供給される。レジスタ更新信号 s 1 1 1 がウェイクアップコントロールロジック 3 6 に対してシャドウレジスタステート s 1 2 0 として供給される。スタンバイモードでイベントが発生すると、そのイベントに対応するデータがシャドウレジスタ 3 5 にセットされる。

#### 【0036】

ウェイクアップコントロールロジック 3 6 は、スタンバイモードでイベントが発生すると、ウェイクアップ要求 s 2 0 をコントロールブロック 4 0 に対して送出し、システム L S I が起動すると、コントロールブロック 4 0 からウェイクアップ A C K s 2 1 を受け取り、レジスタウェイクアップステート s 1 2 1 をアクティブ（論理的 1）とする。

#### 【0037】

s 1 2 1 がアクティブとされると、シャドウレジスタ 3 5 の内容がセレクト 3 7 を介してバス I F レジスタ 3 1 にデータ s 1 2 2 として供給される。すなわち、シャドウレジスタ 3 5 の内容がバス I F レジスタ 3 1 に対してコピーされる。コピー動作は、シャドウレジスタ 3 5 とセレクト 3 7 とバス I F レジスタ 3 1 の



間のデータ経路が複数ビットの平行バスとされており、ローカルクロック s 1 の 1 クロックで完了される。コントロールブロック 4 0 からシステム L S I モード信号 s 2 2 によって、システム L S I がスタンバイモードにある時にのみシャドウレジスタ 3 5 の内容が更新可能とされている。

#### 【 0 0 3 8 】

シャドウレジスタ 3 5 に対してウェイクアップコントロールロジック 3 6 からシャドウレジスタ更新信号 s 1 2 2 が供給され、更新信号 s 1 2 2 のタイミングに同期してシャドウレジスタ 3 5 に対してレジスタセットデータ s 1 1 0 がセットされる。シャドウレジスタ 3 5 の出力データがセクタ 3 7 の他方の入力に供給される。シャドウレジスタ 3 5 は、L S I がスタンバイモード中にペリフェラルスペシフィックファンクション 3 2 にイベント信号 s 0 によってイベントの発生が伝えられると、シャドウレジスタ更新信号 s 1 2 2 によってデータ s 1 1 0 が格納される。また、バス I F レジスタ 3 0 と共にクリア可能とされている。

#### 【 0 0 3 9 】

セクタ 3 7 は、ウェイクアップコントロールロジック 3 6 からのレジスタウェイクアップ更新信号 s 1 2 1 で制御される。セクタ 3 7 で選択されたレジスタセットデータ s 1 2 3 がバス I F レジスタ 3 1 に供給される。レジスタウェイクアップ更新信号 s 1 2 1 は、オアゲート 3 8 の他方の入力に供給される。オアゲート 3 8 の出力にレジスタ更新信号 s 1 2 4 が発生する。

#### 【 0 0 4 0 】

L S I バス I F ファンクション 3 4 のバス I F レジスタ 3 1 に対してレジスタセットデータ s 1 2 3 およびレジスタ更新信号 s 1 2 4 が入力され、データ s 1 2 3 が更新信号 s 1 2 4 のタイミングでバス I F レジスタ 3 1 にセットされる。バス I F レジスタ 3 1 は、システム L S I バスを介してメイン回路 2 2 に接続されており、システムバスクロック s 3 と同期してリード／ライト動作がなされる。バス I F レジスタ 3 1 の状態変化が発生すると、割り込み制御信号 s 1 3 0 を使用してメイン回路 2 2 の割り込み制御回路に対して割り込みが通知される。レジスタコントロールロジック 3 9 は、システム L S I バスと接続されており、メイン回路 2 2 の C P U 6 0 からの指示で、バス I F レジスタ 3 1 とシャドウレジ

スタ 3 5 とをクリアするレジスタクリア信号 s 1 3 1 が生成される。

#### 【 0 0 4 1 】

上述した図 3 の構成において、ノーマルモードにおける動作について説明する。外部回路 9 でイベントが発生すると、イベント信号 s 0 によってイベントの発生がペリフェラルスペシフィックファンクション 3 2 に対して伝えられる。

#### 【 0 0 4 2 】

イベントの状態変化に対応したデータ s 1 1 0 がセクタ 3 7 に供給されると共に、レジスタ更新信号 s 1 1 1 がオアゲート 3 8 に供給される。セクタ 3 7 の出力データ s 1 2 3 がオアゲート 3 8 からのレジスタ更新信号 s 1 2 4 のタイミングでバス I F レジスタ 3 1 に対してセットされる。

#### 【 0 0 4 3 】

バス I F ファンクション 3 4 は、状態が変化したことによって、割り込み制御信号 s 1 3 0 を使用してメイン回路 2 2 の割り込み制御回路 7 0 に対して割り込みを通知し、C P U 6 0 に割り込みを知らせる。C P U 6 0 は、割り込みを検出すると、システム L S I バスを介してバス I F レジスタ 3 1 のデータをリードしてメインメモリに保存し、レジスタクリア命令を発行する。レジスタクリア命令がシステム L S I バスを介してレジスタコントロールブロック 3 9 に供給され、バス I F レジスタ 3 1 およびシャドウレジスタ 3 5 に対するクリア信号 s 1 3 1 が発生する。ノーマルモードでは、次に、イベントが発生すると、上述した動作と同様の動作が繰り返してなされる。

#### 【 0 0 4 4 】

次に、スタンバイモードにおいてイベントが発生した場合の動作について説明する。外部回路 9 でイベントが発生すると、イベント信号 s 0 によってイベントの発生がペリフェラルスペシフィックファンクション 3 2 に対して伝えられる。シャドウレジスタ更新信号 s 1 2 2 のタイミングで、イベントの状態変化に対応するデータがシャドウレジスタ 3 5 にセットされる。但し、システム L S I モード信号 s 1 2 2 によってシステム L S I の動作がスタンバイモードの場合にのみ、ペリフェラルスペシフィックファンクション 3 2 からのレジスタ更新信号 s 1 1 1 がシャドウレジスタ更新信号 s 1 2 2 に対して反映される。

**【0045】**

シャドウレジスタ35にセットされたデータは、セクタ37で選択されてデータs123としてバスIFレジスタ31に対して供給される。シャドウレジスタ35にセットされた情報は、ウェイクアップコントロールロジック36に入力され、コントロールブロック40に対してウェイクアップ要求s20として通知される。通知を受けたコントロールブロック40は、メイン回路22の電源をオンとし、リセットをアクティブにし、システムクロックs3の供給を開始し、一定時間後にリセットを解除する。

**【0046】**

ここで、システムバスクロックs3が供給された直後にコントロールブロック40は、ウェイクアップコントロールロジック36に対してウェイクアップACKs21を返し、システムバスクロックs3の供給が開始されたことが通知される。

**【0047】**

ウェイクアップコントロールロジック36は、レジスタウェイクアップ更新信号s121を使用してシャドウレジスタ35の内容をバスIFレジスタ31にコピーする。例えばコピー動作は、ローカルクロックs1の1クロックの期間でなされる。

**【0048】**

バスIFレジスタ31にシャドウレジスタ35の内容がコピーされたことによって、割り込み信号s130をメイン回路22の割り込み制御回路70に対して供給し、CPU60に対して割り込みを通知する。CPU60は、割り込みを検出すると、システムLSIバスを介してバスIFレジスタ31の内容をリードし、メインメモリに保存する。また、システムLSIバスを介してレジスタコントロールロジック39にクリア命令を与え、レジスタクリア信号s131を発生させ、バスIFレジスタ31の内容をクリアする。

**【0049】**

ここで、バスIFレジスタ31からメイン回路22に対する割り込みの通知、バスIFレジスタ31の内容のリード、並びにクリア命令によるクリア信号の発

生の一連の動作は、前述したノーマルモードと全く同一である。したがって、キーの操作等のイベントが発生した時に、スタンバイモードからノーマルモードに移行する場合の処理がノーマルモードと同じハードウェアと処理とでなされ、操作した場合の違和感が生じない利点がある。

#### 【 0 0 5 0 】

次に、CPU 6 0 によってなされる、電源の制御を含めた状態の切り替え制御動作について説明する。最初に、図 4 のフローチャートを参照して、システム L S I 2 がノーマルモードからスタンバイモードに入る動作について説明する。

#### 【 0 0 5 1 】

最初のステップ S T 1 において、割り込み回路 7 0 内のレジスタの内容をリードし、割り込みが発生していないことを確認する。CPU 6 0 が現時点で処理すべきタスクがない場合で、且つ割り込みが発生していないことが確認されたら、ステップ S T 2 において、CPU 6 0 がパワーオフレジスタをセットし、それによってスタンバイモードとなる。

#### 【 0 0 5 2 】

スタンバイモードにおいては、PLL 5 0 がディセーブルとされ、e D R A M 2 3 にデータバックアップしない場合には、クロック発振器 2 0 を停止し、電源制御回路 3 が電源 I C 制御信号をライン L 4 に出力する。電源制御回路 3 が電源 I C 制御信号を受け取ってメイン回路 2 2 に対する電源をオフとし、e D R A M 2 3 にデータバックアップしない場合には、e D R A M 2 3 に対する電源をオフとする。

#### 【 0 0 5 3 】

次に図 5 に示すフローチャートを参照して、スタンバイモードからウェイクアップし、ウェイクアップ要求を出しているブロックを処理する動作について説明する。

#### 【 0 0 5 4 】

ウェイクアップ要求が発生すると、リセット処理が開始され、ステップ S T 1 1 においてシステムが初期化される。ウェイクアップ要求がスタンバイ制御回路 2 1 に供給されることによって、電源 I C 制御信号が電源制御回路 3 に供給され

、それによって、メイン回路 22 および eDRAM 23 に対する電源がオンとされる。

#### 【0055】

また、メイン回路 22 に電源が供給されたときに、メイン回路 22 の CPU 60 および割り込み制御回路 70 がリセットされる。さらに、クロック発振器 20 が停止している場合には、動作が開始され、PLL 50 がイネーブルとされ、システムバスクロック s3 の生成が開始される。電源の供給とシステムバスクロック s3 の供給が開始されることによって、メイン回路 22 の CPU 60 等が動作を開始する。上述したように、シャドウレジスタ 35 の内容がバス IF レジスタ 31 に対してコピーされる。

#### 【0056】

ステップ ST12 において、CPU 60 がバス IF レジスタ 31 をリードする。ステップ ST13 において、スタンバイモードからのウェイクアップか否かが判定される。バス IF レジスタ 31 の内容からこの判定が可能である。例えばバッテリー 4 が無くなった状態からバッテリー 4 が挿入された時には、ステップ ST13 の判定結果が否定とされ、処理がステップ ST15 に進む。ステップ ST15 は、バッテリー駆動型システム 1 が行うメイン処理である。メイン処理の中には、キー入力処理、GPIO を介された入力に対する処理等が含まれている。

#### 【0057】

ステップ ST13 において、スタンバイモードからの起動と判定されると、スタンバイ起動処理 ST14 がなされる。スタンバイ起動処理 ST14 では、バス IF レジスタ 31 の内容から起動の要因が判定され、起動の要因に応じた割り込み信号がイネーブルとされる。その後、CPU 60 に割り込みが通知されると、プログラム上で割り込み処理ルーチンが実行される。その後、ステップ ST15 のメイン処理がなされる。

#### 【0058】

図 6 は、この発明の効果の説明のためのブロック図である。すなわち、図 6 では、スタンバイモードにおいて電源がオンされたままの周辺ブロック 130 にシャドウレジスタを設けずに、ペリフェラルスペシフィックファンクション 132

からのレジスタセットデータをレジスタ更新信号のタイミングでバス I F レジスタ 131 にセットするものである。バス I F レジスタ 131 およびレジスタコントロールブロック 139 からなるバス I F ファンクション 134 は、一実施形態と同様に、システムバスクロック (32 MHz) によって動作している。

#### 【0059】

バス I F レジスタ 131 の内容は、メイン回路 122 の CPU 160 によってリードされる。メイン回路 122 には、割り込み制御回路 170、システム L S I コントロールブロック 180、クロックイネーブルコントロールブロック 190 が設けられ、PLL 150 で生成されたシステムバスクロック (例えば 32 MHz) がバス I F ファンクション 134 および割り込み制御回路 170 に対して供給される。また、システムバスクロックがクロックイネーブルコントロールブロック 190 に供給され、ノーマルモードの場合にのみ、32 MHz の CPU クロックが CPU 160 に供給される。

#### 【0060】

図 6 に示す構成例のように、シャドウレジスタを設けない場合では、スタンバイモードにおいても、バス I F レジスタ 131 にデータをライトする必要があるために、システムバスクロックをバス I F レジスタ 131 を含むバス I F ファンクション 134 に対して供給する必要がある。したがって、周波数の高いシステムバスクロックを停止できず、スタンバイ時の消費電力が少なくなる問題があった。この発明では、バス I F レジスタ 131 に対するクロックを供給しないで良いので、スタンバイ時の消費電力をより少なくできる。

#### 【0061】

この発明は、上述した一実施形態等に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。例えばこの発明では、バッテリーを電源としているが、バッテリーに加えて商用電源を整流した電源を使用可能としても良い。

#### 【0062】

##### 【発明の効果】

この発明によれば、電源制御手段によって、スタンバイ状態では、集積回路の

大きな領域を占めるメイン回路の電源をオフとするので、スタンバイ状態におけるサブスレッシュホールドリーク電流を削減でき、スタンバイ状態における消費電力を削減できる。この発明によれば、スタンバイモードからノーマルモードに移る時に、シャドウレジスタに保存しておいた状態をシステムバスクロックで動作するバス I F レジスタに対してコピーすることができるので、バス I F レジスタに対するクロックの供給をスタンバイモードで停止することができ、スタンバイモードにおける消費電力をより低減することができる。また、この発明では、常にバス I F レジスタを低いローカルクロックで動作させるものではないので、システムの処理速度が低下することを防止できる。さらに、スタンバイモードからノーマルモードに移る時と、ノーマルモードの時とで、C P U がレジスタをリードする動作を同一とでき、処理が異なることにより操作性の相違が発生することがない利点がある。

#### 【図面の簡単な説明】

##### 【図 1】

この発明が適用されたバッテリー駆動型システムの一実施形態の全体の構成を示すブロック図である。

##### 【図 2】

この発明の一実施形態の構成を示すブロック図である。

##### 【図 3】

この発明の一実施形態のより詳細な構成を示すブロック図である。

##### 【図 4】

この発明の一実施形態において、スタンバイモードに入る時の処理の流れを示すフローチャートである。

##### 【図 5】

この発明の一実施形態において、スタンバイモードからウェイクアップする時の処理の流れを示すフローチャートである。

##### 【図 6】

この発明の効果の説明の参考とした構成を示すブロック図である。

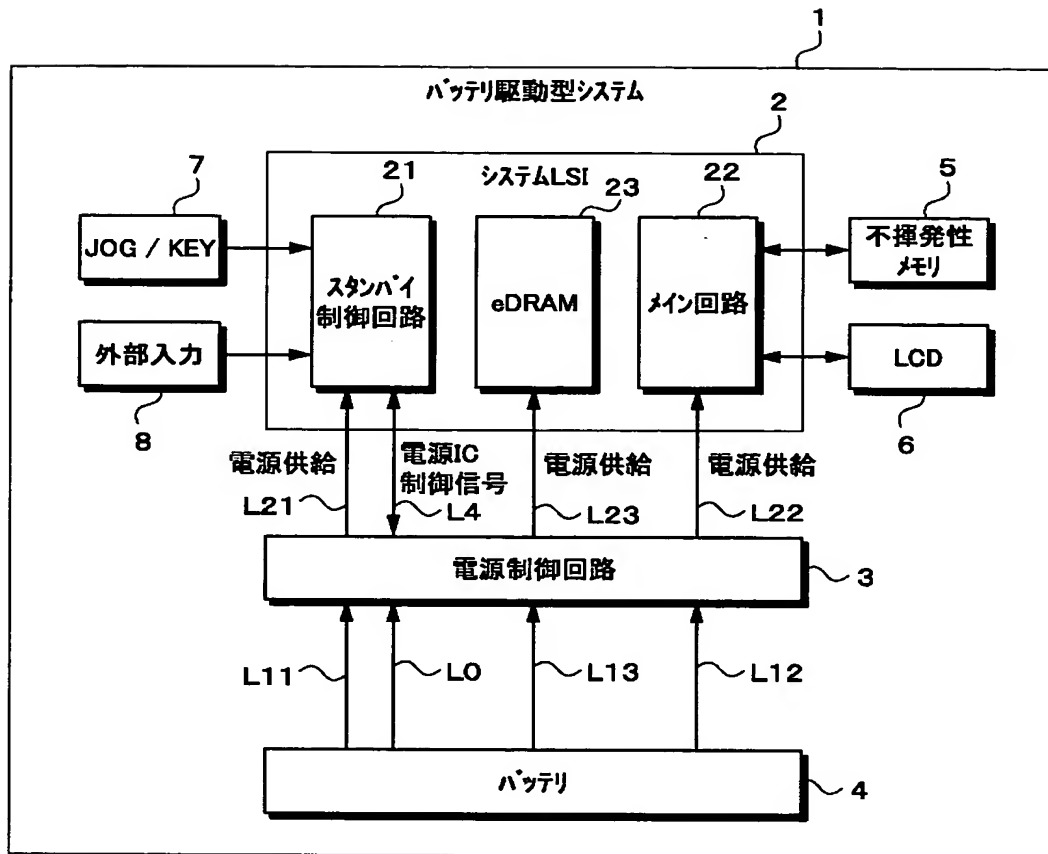
#### 【符号の説明】

1 . . . バッテリ駆動型システム、2 . . . システム L S I、3 . . . 電源制御回路、4 . . . バッテリ、1 0 . . . クロック発振器、2 0 . . . クロック発振器、2 1 . . . スタンバイ制御回路、2 2 . . . メイン回路、2 3 . . . e D R A M、3 0 . . . 周辺ブロック、3 1 . . . バス I F レジスタ、3 5 . . . シャドウレジスタ、4 0 . . . コントロールブロック、6 0 . . . C P U

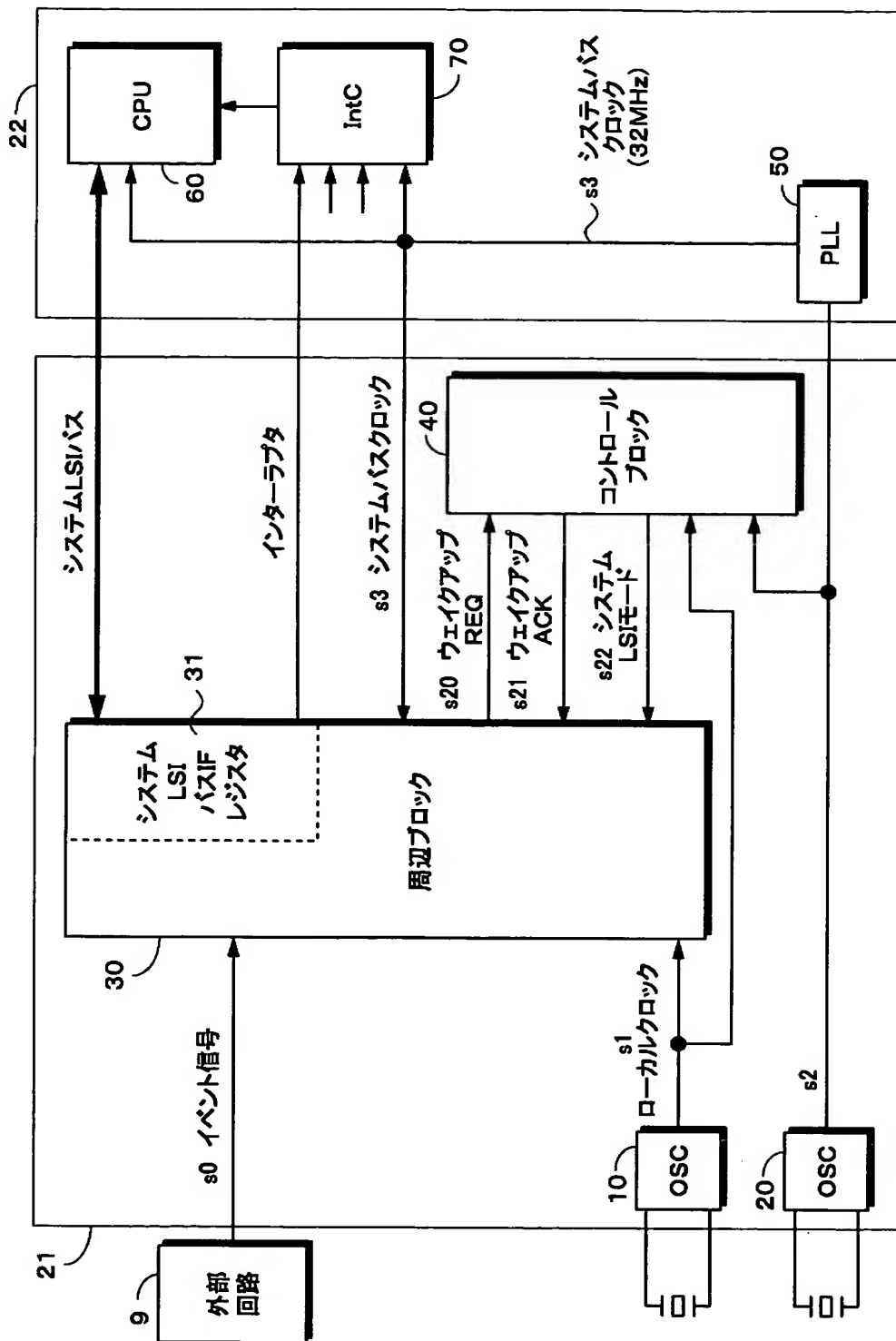


【書類名】 図面

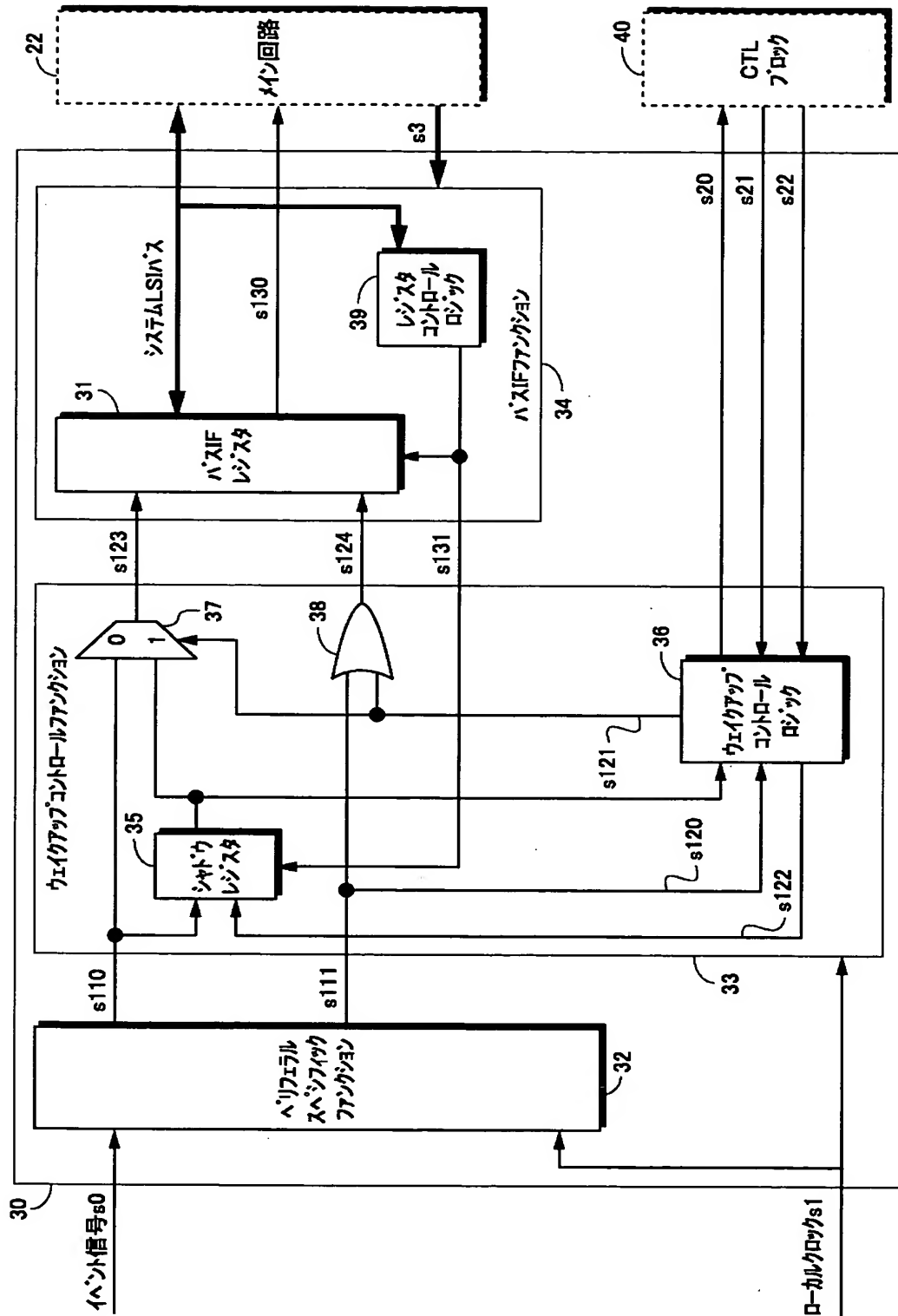
【図 1】



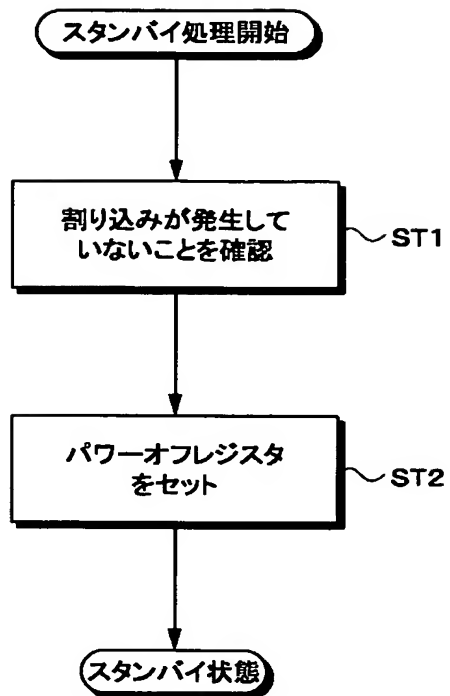
【図 2】



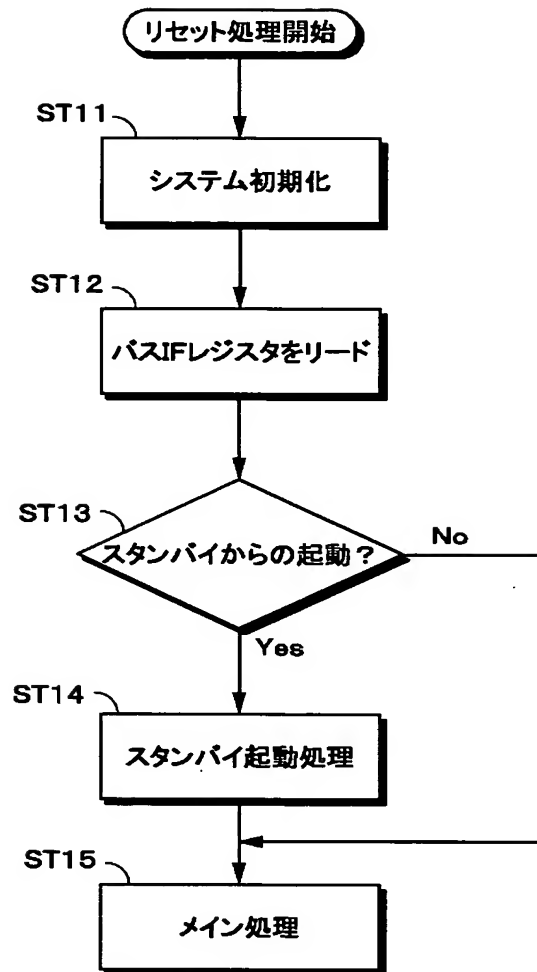
【図 3】



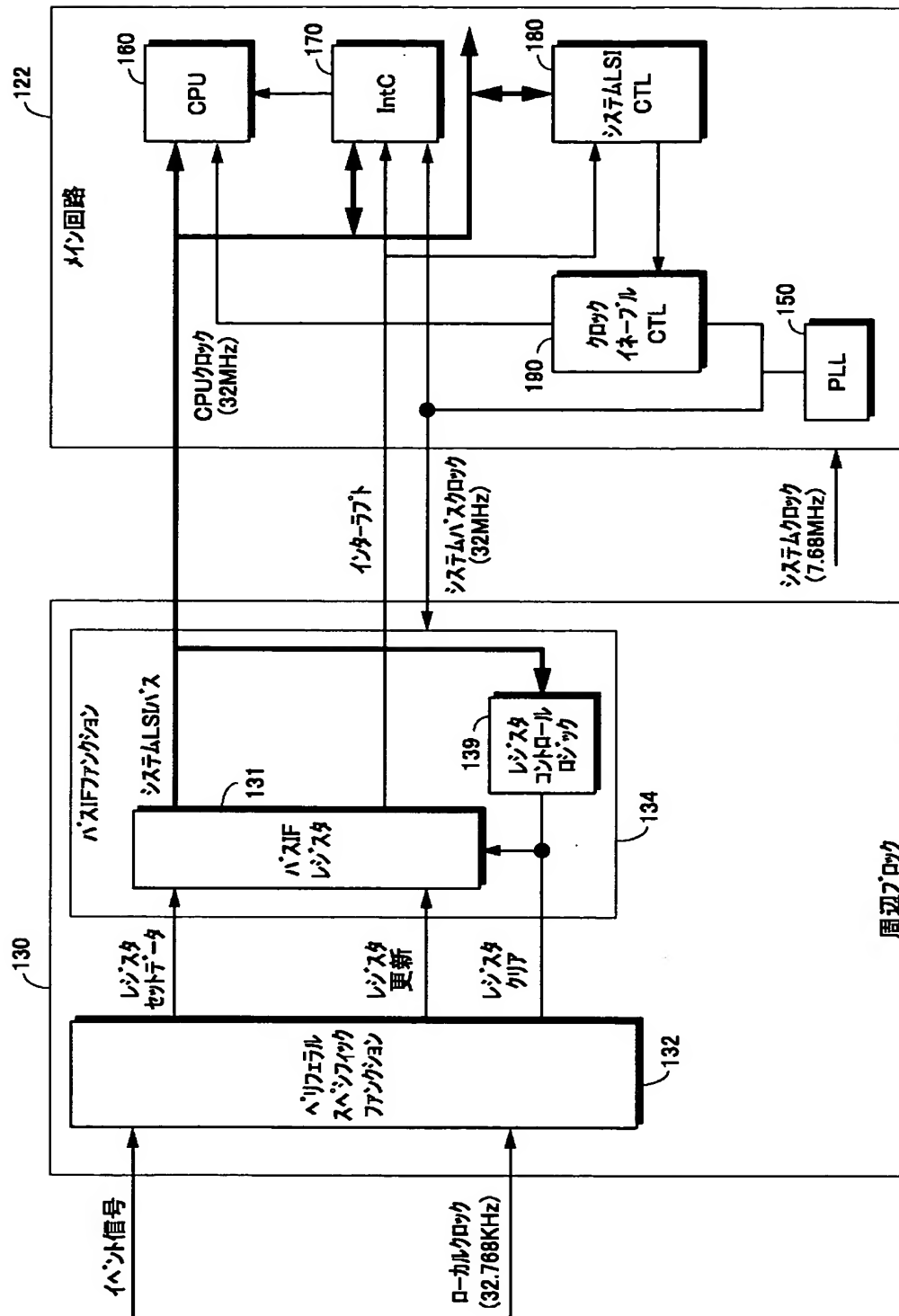
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 スタンバイモード時の消費電力の削減を図る。

【解決手段】 スタンバイモードでイベントが発生すると、そのイベントに対応するデータがシャドウレジスタ 3 5 にセットされる。レジスタ 3 5 は、低速のローカルクロックで動作する。レジスタ 3 5 の内容がセクタ 3 7 を介してバス I F レジスタ 3 1 にコピーされる。バス I F レジスタ 3 1 は、システム L S I バスを介してメイン回路に接続されており、高速のクロック s 3 と同期してリード／ライトがなされる。バス I F レジスタ 3 1 の状態変化が発生すると、C P U に割り込みが通知される。ノーマルモードにおいては、シャドウレジスタ 3 5 を介さずにイベントの状態変化に対応したデータバス I F レジスタ 3 1 に対してセットされる。スタンバイモードでは、メイン回路の電源をオフとし、バス I F レジスタに対するクロック s 3 の供給を停止するので、消費電力の削減を達成できる。

【選択図】 図 3

特願 2 0 0 3 - 1 1 2 3 2 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社